

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-245219

(43)Date of publication of application : 01.09.1992

(51)Int.Cl. G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 03-010952

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 31.01.1991

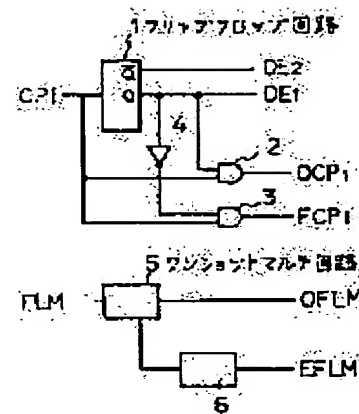
(72)Inventor : KONDO KENICHI

(54) METHOD FOR DRIVING PHOTO-ELECTRIC DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve uneven contrast over the whole panel by dividing a circuit into an odd number line common electrode driving circuit and an even number line common electrode driving circuit, and driving them individually from the two sides of the panel.

CONSTITUTION: A frequency dividing circuit 1 constitutes No.1 and No.2 display prohibit signal generating circuit, while AND circuits 2, 3 constitute No.2 scan shift clock signal generating circuit, and one-shot multi circuits 5, 6 constitute No.1 and No.2 frame signal generating circuit. Thus, alternate driving is performed line by line by feeding display prohibit signals having different phases to the odd number line common electrode circuit 2 and even number line common electrode circuit 3. The density position of display contrast is changed over from the left to right and vice versa alternately line by line even in the event of voltage drop due to the resistance value of the electrode pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-245219

(43)公開日 平成4年(1992)9月1日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 4 5	7820-2K		
G 0 9 G 3/20	J	9176-5G		
3/36		7926-5G		

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平3-10952

(22)出願日 平成3年(1991)1月31日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 近藤 健一

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

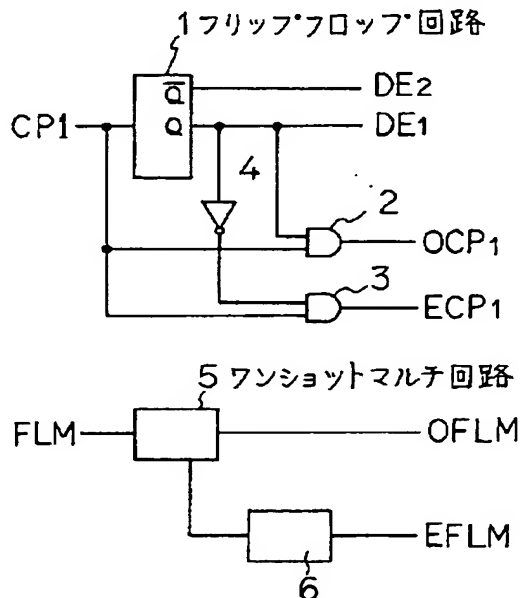
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 電気光学的表示装置の駆動方法

(57)【要約】

【目的】 電気光学的表示装置に対して、電極パターンの抵抗値による左右のコントラストムラを低減する表示方式を提供する。

【構成】 位相の異なる表示禁止信号を奇数及び、偶数ラインコモン電極駆動回路2、3に入力することにより1ラインごとに交互に駆動する。



【特許請求の範囲】

【請求項1】 表示の走査をする第1電極群と表示データに応じた駆動をする第2電極群をマトリックス状に配列してその交点を表示画素とし、前記第1電極群を駆動するための駆動部を少なくとも駆動部1と駆動部2の二つに分離し、走査ラインをシフトさせるためのシフトクロック信号と走査を開始するためのフレーム信号を有する電気光学的表示装置において、前記走査シフトクロック信号を分周して表示を強制的に禁止するための第1、第2の表示禁止信号発生回路と、前記走査シフトクロック信号の周期の2倍で、位相が異なる二つの走査シフトクロック信号を発生する第1、第2の走査シフトクロック信号発生回路と前記フレーム信号と、ほぼ1走査期間の位相が異なるフレーム信号を発生する第1、第2のフレーム信号発生回路により前記駆動部1と駆動部2をライン単位で交互に走査駆動することを特徴とする電気光学的表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、平面型の電気光学的表示装置、特にマトリックス型の液晶表示装置等の駆動方法に関するものである。

【0002】

【従来の技術】 図4は、従来の液晶表示装置のマトリックス図である。図5は、従来の駆動波形図である。図4において、表示装置は第1電極群と第2電極群がマトリックス型の構造をして、前記第1電極群はコモン電極駆動回路32により走査駆動される。また、第2電極群はセグメント駆動回路31により表示データに応じた信号により駆動するものである。表示データ信号Dはセグメント駆動回路31に入力される。表示データ信号Dはシフトクロック信号（図示せず）によりシフトされラッチ信号CP1によりラッチされて表示データに応じた駆動信号により前記第2電極駆動電極を駆動する。コモン電極駆動回路32は、フレーム信号FLMをシフト信号CP1（前記ラッチ信号）によりシフトしてライン順次走査をすることにより表示装置を駆動する方法である。

【0003】

【発明が解決しようとする課題】 しかし、従来の表示方法である場合は、大型の表示装置になる程、また高密度表示になる程、前記第1及び第2電極群の電極パターン幅が、狭くなるため電極パターンの抵抗値が高くなる。それ故に、表示パネルの駆動回路の近辺部の表示コントラストとその他端にある表示コントラストの差が明確に認識されるという問題が生じていた。そのために、最適な駆動電圧範囲が狭くなったり、階調表示が全面にわたって均一に表示できなくなる等の課題があった。

【0004】 そこで、この発明の目的は、従来のこのような課題を解決するため、電極パターンの抵抗値が高くても、視覚的に均一な表示コントラストを得ることであ

る。

【0005】

【課題を解決するための手段】 上記課題を解決するために、この発明は電気光学的表示装置の第1電極群を駆動するコモン電極駆動回路をパネルの両端に配設し、前記第1電極群の線順次走査を前記両端のコモン駆動回路により交互に走査駆動が図れるようにした。

【0006】

【作用】 上記のように電気光学的表示装置においては、電極パターンの抵抗値による電圧降下が発生したとしても、表示コントラストの濃淡の位置が1ライン毎に左右交互に切り替わるので全体的にみるとコントラストの差を平均化することとなる。

【0007】

【実施例】 以下に、この発明の実施例を図に基づいて説明する。図1は本発明の一実施例を示す回路図である。図1において、分周回路1は、第1、第2の表示禁止信号発生回路を構成し、2、3は第1、第2の走査シフトクロック信号発生回路を構成し、更に、5、6は第1、第2のフレーム信号発生回路を構成している。

【0008】 CP1は走査信号をシフトするためのシフトクロック信号である。また、FLMは走査を開始させるためのフレーム信号である。次に本回路の動作について説明する。フレーム信号FLMは、フレーム信号発生回路5（ワンショットマルチ回路）に入力されて、第1のフレーム信号OFLMを出力する。前記フレーム信号発生回路5の出力は、他のフレーム信号発生回路6（ワンショットマルチ回路）6に入力されて第2のフレーム信号EFLMを出力する。ここで、第1と第2のフレーム信号OFLM、EFLMの位相は時定数の調整により1走査期間シフトしているように設定するものである。次に、シフトクロック信号CP1は、分周回路である表示禁止信号発生回路1に入力され1/2分周された信号の表示禁止信号DE1を出力する。前記表示禁止信号DE1とその反転信号、第1および第2の走査シフトクロック信号発生回路（AND回路）2、3に入力することにより第1と第2のシフトクロック信号OCP1、ECP1を出力するものである。

【0009】 図2は、本発明の一実施例を示す表示装置の図である。図2において、21は前記第2電極群を駆動するためのセグメント電極駆動回路である。22は前記第1電極群の奇数番目の走査ラインを駆動する奇数ラインコモン電極駆動回路である。23は偶数番目の走査ラインを駆動する偶数ラインコモン電極駆動回路である。前記第1、第2フレーム信号のOFLM、及びEFLMは走査を先頭ライン目からスタートさせるため前記奇数ライン、及び偶数ラインコモン電極のフレーム信号である。

【0010】 前記した第1、第2シフトクロック信号のOCP1、ECP1は、各々前記奇数ライン、及び偶数

3

ラインコモン電極駆動回路22、23のシフトクロック信号である。Dは表示データ信号であり、CP1は前記表示データ信号をラッチするためのラッチ信号である。DE1、DE2は走査駆動することを強制的に禁止して、非選択駆動信号を出力させるための表示禁止信号である。以上により構成されている。

【0011】図3は、本発明を説明するための信号のタイミングチャート図である。図3におけるFLMは、従来の表示パネルのフレーム信号を示している。次に本実施例の動作について説明する。図2において、表示データ信号Dはセグメント電極駆動回路21に入力される。そしてラッチ信号CP1によりデータをラッチし、表示駆動信号を前記第2電極群に出力する。一方、奇数ライン及び、偶数ラインのフレーム信号OFLM、EFLMは、各々奇数ラインコモン及び、偶数ラインコモン電極駆動回路に入力される。そして、これらの各フレーム信号は、各々のシフトクロック信号OCP1、ECP1によりライン順次走査により駆動される。ここで、シフトクロック信号OCP1、ECP1は、前記表示データのラッチ信号CP1の2倍の周期を持ち、しかも、その1周期の位相がずれているタイミングとなっている。前記ラッチ信号CP1の分周信号とする表示禁止信号DE1は、前記奇数ラインコモン電極駆動回路22に入力する。また、前記DE1と逆相のDE2の表示禁止信号は、前記偶数ラインコモン電極駆動回路23に入力される。表示禁止信号DE1、DE2は信号レベル“L”のとき、強制的に走査駆動を禁止し非選択信号を出力するように動作する。それ故に、コモン電極は、奇数ラインコモン電極駆動回路22及び、偶数ラインコモン電極

4

駆動回路23により交互に走査されることが理解できる。

【0012】

【発明の効果】この発明は、以上説明したように奇数ラインと偶数ラインのコモン電極駆動回路に分けパネルの両側から各々駆動するようにして、1ライン毎にライン抵抗により発生するコントラストのムラを左右に振り分ける構成にしたので、パネル全体のコントラストムラを大きく改善することができた。そして、階調表示をする場合においても均一な階調表示が実現できる等の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】本発明の一実施例を示す表示装置の回路図である。

【図3】本発明のタイミングチャート図である。

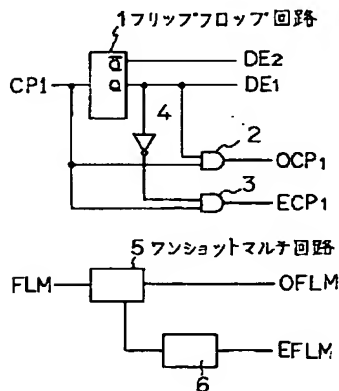
【図4】従来の表示装置の回路図である。

【図5】従来のタイミングチャート図である。

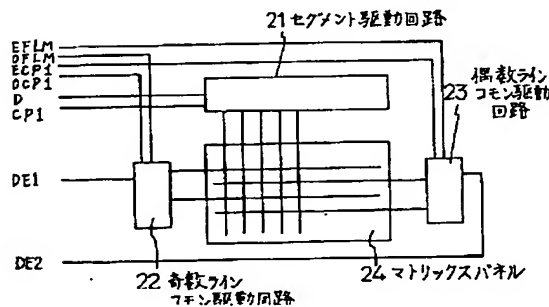
【符号の説明】

- 1 分周回路（第1、第2の表示禁止信号発生回路）
- 2 分周回路（第1、第2の走査シフトクロック信号発生回路）
- 5、6 ワンショットマルチ回路（第1、第2のフレーム信号発生回路）
- 21 セグメント電極駆動回路
- 22 奇数ラインコモン電極駆動回路
- 23 偶数ラインコモン電極駆動回路
- 24 マトリックスパネル

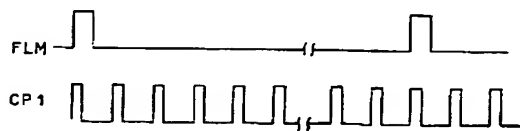
【図1】



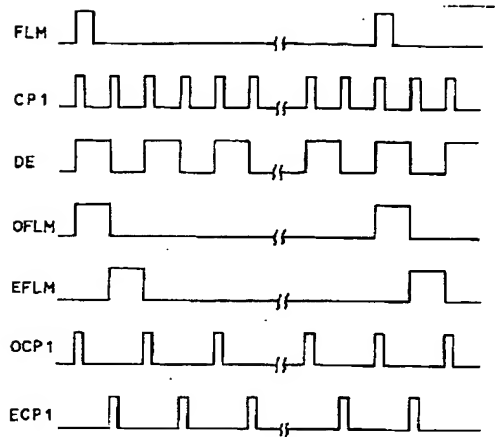
【図2】



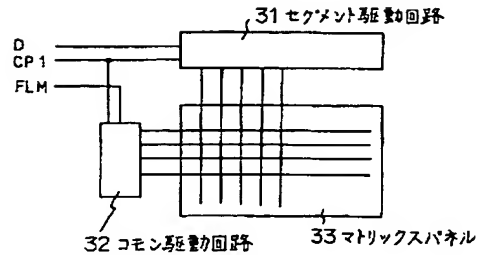
【図5】



【図3】



【図4】



【手続補正書】

【提出日】平成3年3月27日

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】CP1は走査信号をシフトするためのシフトクロック信号である。また、FLMは走査を開始させるためのフレーム信号である。次に本回路の動作について説明する。フレーム信号FLMは、フレーム信号発生回路5（ワンショットマルチ回路）に入力されて、第1のフレーム信号OFLMを出力する。前記フレーム信号

発生回路5の出力は、他のフレーム信号発生回路6（ワンショットマルチ回路）に入力されて第2のフレーム信号EFLMを出力する。ここで、第1と第2のフレーム信号OFLM、EFLMの位相は時定数の調整により1走査期間シフトしているように設定するものである。次に、シフトクロック信号CP1は、分周回路である表示禁止信号発生回路1に入力され1/2分周された信号の表示禁止信号DE1を出力する。前記表示禁止信号DE1とその反転信号、第1および第2の走査シフトクロック信号発生回路（AND回路）2、3に入力することにより第1と第2のシフトクロック信号OCP1、ECP1を出力するものである。